

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-275019

(43)公開日 平成 6年(1994) 9月30日

(51)IntCl⁵

G 1 1 B 20/10

識別記号

3 2 1 Z 7736-5D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21)出願番号 特願平5-212894
(22)出願日 平成 5年(1993) 8月27日
(31)優先権主張番号 特願平5-8138
(32)優先日 平 5 (1993) 1月21日
(33)優先権主張国 日本 (J P)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6番地
(72)発明者 木村 いづみ
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内
(72)発明者 西岡 宗洋
東京都小平市上水平町 5丁目20番 1号 株
式会社日立製作所半導体設計開発センタ内
(72)発明者 竹内 敏文
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所映像メディア研究所内
(74)代理人 弁理士 武 顕次郎

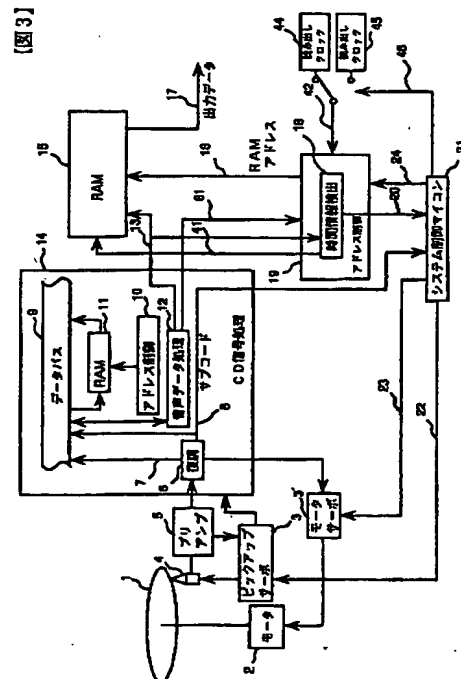
最終頁に続く

(54)【発明の名称】 出力レート変換機能付きディスク再生装置及びその集積回路

(57)【要約】

【目的】 従来のCD再生システムにおけるトラック飛びによる間欠アクセスに対応することのみならず、N倍速動作時の標準速再生にも対応可能にする。

【構成】 ディスク1から再生されたデータを時間情報と対応させて共に書き込むメモリ11を設け、さらにもう1つの外部メモリ15を設け、最終的に出力するデータ17とアクセス中のデータ13との時間差をアドレス制御回路19の時間情報検出回路18で検出して外部メモリ15のオーバーフロー、アンダーフローを検出し、この検出結果に基づいて外部メモリ15の書き込みを制御し、ピックアップ4を制御して間欠アクセスを行なった場合でも、システム動作速度とデータ出力速度との時間差を吸収して、出力時に正しくつながって連続したデータ17を得る。



【特許請求の範囲】

【請求項1】 デジタル化された情報データ及び該情報データの記録開始端を基準とした時間情報を含むサブコードをディスクから再生する再生装置において、上記デジタル化された情報データの再生出力レートは通常出力レートであるのに対し、通常のN倍で再生する再生処理手段と、上記再生処理手段により再生された上記情報データ及び上記サブコードを入力とし、N倍で再生された出力レートを通常出力レートに変換する出力レート変換手段と、上記再生処理手段の出力と出力レート変換手段の出力とを選択し、再生装置の出力信号とする選択手段とを有することを特徴とする出力レート変換機能付きディスク再生装置。

【請求項2】 デジタル化され変調された情報データ及び該情報データの頭出し信号や時間情報を含むサブコードが記録されているディスクを回転させる回転手段と、上記ディスクから情報を読み取る情報読取手段とよりなるディスク再生装置において、該情報読取手段により得られる上記変調された上記情報データ及び上記サブコードを復調し、情報データの誤りを検出あるいは訂正するための所定の処理を行ない、上記情報データ及び上記サブコードを出力する処理手段と、該処理手段より得られる上記情報データ、または上記情報データ及び上記サブコードを記憶し、情報データを出力する第1の記憶手段と、上記第1の記憶手段の書込み／読出しアドレスを制御する第1の制御手段とを設け、上記処理手段は、上記ディスクの回転むらを吸収するために、上記情報データ及び上記サブコードを記憶する第2の記憶手段と、該第2の記憶手段の書込み／読出しアドレスを制御する第2の制御手段とを有し、上記第2の制御手段で、上記情報データは、記録時に施されたインターリーブをもどすためのデインターリーブを行なうように書込み／読出しアドレスを生成し、読み出され、上記サブコードは、常に特定の情報データと特定のサブコードとが一对一対応となる読出しが行なわれるように、上記第2の記憶手段に書き込み、読み出すアドレスを生成することを特徴とする出力レート変換機能付きディスク再生装置。

【請求項3】 第2項において、前記第1の記憶手段の書込み／読出しアドレスを制御する前記第1の制御手段は、前記処理手段より得られる前記第2の記憶手段を介して出力した前記サブコードから、前記情報データが前記第1の記憶手段に書き込まれるアドレスを示す第1のセクタ情報を検出する第1の検出手段と、前記第1の記憶手段から読み出した前記情報データの読

出しアドレスを示す第2のセクタ情報を検出する第2の検出手段と、

上記検出された第1のセクタ情報と第2のセクタ情報とを比較して前記第1の記憶手段での記憶データのオーバーフローやアンダーフローを検出する第3の検出手段と、

上記第3の検出手段がオーバーフローを検出したときに前記第1の記憶手段への書込みを禁止する第3の制御手段と、

上記書込み禁止時点での上記第1のセクタ情報を用いて前記読取り手段のディスク上の読取り位置を次につなぐデータ位置まで移動させる第4の制御手段と、

上記第3の検出手段がアンダーフローを検出したときに前記第1の記憶手段への書込み禁止を解除して書込みを可能とする第5の制御手段とを具備し、

前記第1の記憶手段への書込み速度を決定する第1のクロック周波数を、上記書込み速度が通常速度のN倍であるように決定し、前記第1の記憶手段への読出し速度を決定する第2のクロック周波数を通常速度となるように決定することを特徴とする出力レート変換機能付きディスク再生装置。

【請求項4】 請求項2において、

前記サブコードは2進化10進法（BCD）コードの前記時間情報に誤り検出符号が付加されており、

前記ディスクの再生開始位置を設定するシステム制御手段を有し、

前記第1の記憶手段の書込み／読出しアドレスを制御する前記第1の制御手段は、

前記ディスクの再生データの誤り検出符号から該再生データの誤りを検出する誤り検出回路と、

上記検出された再生データの誤り符号をみて、前記時間情報を2進化10進法でカウントする第1のBCD計数回路と、

上記システム制御手段により設定された上記再生開始位置のアドレスを2進化10進法でカウントする第2のBCD計数回路と、

上記第1のBCD計数回路による第1のアドレスと上記第2のBCD計数回路による第2のアドレスの一致を検出する一致検出回路とを具備し、

上記一致検出回路で上記第1、第2のアドレスの一致を検出すると、前記第1の記憶手段の書込み／読出しアドレスを2進法で生成して、書込み／読出し制御することとを特徴とする出力レート変換機能付きディスク再生装置。

【請求項5】 デジタル化されて変調された情報データ及び該情報データの頭出し信号や時間情報を含むサブコードが記録されているディスクを回転させる回転手段と、上記ディスクから情報を読み取る情報読取手段とを含むディスク再生装置で、上記情報読取手段に接続され、上記情報読取手段の出力を処理して情報データを出

力する集積回路において、
上記情報読取手段により得られる上記変調された情報データ及び上記サブコードを復調し、上記情報データの誤りを検出あるいは訂正するための所定の処理を行ない、上記情報データ及び上記サブコードを出力する処理手段を含む第1の集積回路と、
上記処理手段より得られる上記情報データ、または上記情報データ及び上記サブコードを記憶し、上記情報データを出力する第1の記憶手段と、
上記第1の記憶手段の書込み／読出しアドレスを制御する第1の制御手段を含む第2の集積回路とを設け、
上記処理手段は、
上記ディスクの回転むらを吸収するために、上記情報データ及び上記サブコードを記憶する第2の記憶手段と、
上記第2の記憶手段の書込み／読出しアドレスを制御する第2の制御手段とを有し、
上記第2の制御手段で、上記情報データは、記録時に施されたインターリーブをもどすためのデインターリーブを行なうように書込み／読出しアドレスを生成し、読み出され、上記サブコードは、常に特定の情報データと特定のサブコードが一对一対応となる読出しが行われるように、上記第2の記憶手段に書き込み、読み出すアドレスを生成することを特徴とする出力レート変換機能付きディスク再生装置の集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディスク再生装置、特に、デジタルオーディオディスクのような主情報としての音声信号と共に時間情報等のサブコードが記録されたディスクをN倍速動作で再生可能とした出力レート変換機能付きディスク再生装置及びその集積回路に関する。

【0002】

【従来の技術】N倍速再生を行ない、ディスクの再生時に外力等によって不慮に情報読取手段が移動させられたことによって間欠的なアクセスを行なう再生処理としては、例えば特開昭62-150560号公報に開示されるように、コンパクトディスク（CD）から再生されたデジタルオーディオデータをメモリに書き込み、トラック飛びが発生した時点から情報読取手段をトラック飛び以前の位置に移動させる間、メモリでディスクからの再生データの書き込みを停止して標本化周波数の一定周期で読み出すようにしたものが知られている。これによると、デジタル・アナログ変換される再生データは不連続となることはなく、連続に再生できるようになされている。

【0003】

【発明が解決しようとする課題】上記従来技術では、情報読取手段が不慮に移動させられてから正規の位置に戻るまでの間、ノイズの発生や再生の一時中断といった異

常再生状態は生ずることがないが、再生データを正確に連続的につなげるためのデータ管理に関して配慮がされていなかった。即ち、時間情報のサブコードは、ディスクの読取り位置に対応させるため、読取りタイミングで出力されるが、再生音声データは、ディスクの回転むらを吸収するため、一旦メモリに書き込まれ、水晶発振器からの一定周波数のクロックで規定されるタイミングで読み出されることから、サブコードと音声データの間に一对一の正確な対応が付けられなくなる。

【0004】本発明の第1の目的は、かかる問題を解消し、再生されたサブコードと音声データを常に正確に一对一に対応させることができ、この結果、かかる音声データとサブコードを用いてデータを正確に連続的につなげることができるようにした出力レート変換機能付きディスク再生装置を提供することにある。

【0005】また、本発明の第2の目的は、再生されたサブコードと音声データを常に正確に一对一に対応させることができ、この結果、間欠的にディスクからのデータ読み出しを行なっても、かかる音声データとサブコードを用いてデータを正確に連続的につなげることににより、N倍速出力とノーマル出力を得るのに、イコライザ、クロック再生の切り替えを不要とすることにある。

【0006】

【課題を解決するための手段】上記第1の目的を達成するために、本発明は、情報読取手段によりディスクから再生される変調された上記情報データ及び上記サブコードを復調し、上記情報データの誤りを検出あるいは訂正するための所定の処理を行ない、上記情報データ及び上記サブコードを出力する処理手段と、上記処理手段より得られる上記情報データ、または上記情報データ及び上記サブコードを記憶し、情報データを出力する第1の記憶手段と、上記第1の記憶手段の書込み／読出しアドレスを制御する第1の制御手段とを設け、上記処理手段は、上記ディスクの回転むらを吸収するために、上記情報データ及び上記サブコードを記憶する第2の記憶手段と、上記第2の記憶手段の書込み／読出しアドレスを制御する第2の制御手段とを有し、上記第2の制御手段で、上記情報データは、記録時に施されたインターリーブをもどすためのデインターリーブを行なうように書込み／読出しアドレスを生成し、読み出され、上記サブコードは、常に特定の情報データと特定のサブコードが一对一対応となる読出しが行われるように、上記第2の記憶手段に書き込み、読み出すアドレスを生成する。

【0007】また、上記第2の目的を達成するために、本発明は、上記第1の記憶手段の書込み／読出しアドレスを制御する上記第1の制御手段は、上記処理手段より得られる上記第2の記憶手段を介して出力した上記サブコードから、上記情報データが上記第1の記憶手段に書き込まれるアドレスを示す第1のセクタ情報を検出する第1の検出手段と、上記第1の記憶手段から読み出した

上記情報データの読出しアドレスを示す第2のセクタ情報を検出する第2の検出手段と、上記検出された第1のセクタ情報と第2のセクタ情報とを比較して上記第1の記憶手段での記憶データのオーバーフローやアンダーフローを検出する第3の検出手段と、上記第3の検出手段がオーバーフローを検出したときに上記第1の記憶手段への書き込みを禁止する第3の制御手段と、この書き込み禁止時点での第1のセクタ情報を用いて上記読取手段の位置を次につなぐデータ位置まで移動させる第4の制御手段と、上記第3の検出手段がアンダーフローを検出したときに上記第1の記憶手段への書き込み禁止を解除し書き込みを可能とする第5の制御手段とを具備し、上記第1の記憶手段への書き込み速度を決定する第1のクロック周波数を、上記書き込み速度が通常速度のN倍であるように決定し、上記第1の記憶手段への読出し速度を決定する第2のクロック周波数は通常速度となるように決定するようにする。

【0008】

【作用】第2の制御手段を具備する処理手段を設けたことにより、第2の記憶手段にサブコードを記憶して読み出すことが可能となり、サブコードと情報データとともにディスクの回転で吸収が行われて、ディスク上のサブコードと情報データの対応を維持することができる。

【0009】また、第1の制御手段と第1の記憶手段とを設けたことにより、N倍速で回転するディスクから再生されたデータをバッファし、かつ通常速度で連続的にデータの読出しを行なうことができる。

【0010】さらに、第1の集積回路と第2の集積回路とに分けたことにより、システム設計上の自由度が増し、展開が図れる。例えば、第1の集積回路で連続した音声データに確実に一対一に対応する時間情報を付加することができ、第2の集積回路では、音声専用の集積回路と兼用するCD-ROM処理用集積回路などのシステム展開が図れる効果がある。

【0011】

【実施例】以下、本発明の実施例を、コンパクトディスク(CD)の再生装置を例に、図面により説明する。

【0012】図1は本発明による出力レート変換機能付きディスク再生装置の一実施例を示すブロック図であって、1はディスク、2はモータ、3はピックアップサーボ回路、3'はモータサーボ回路、4はピックアップ、5はプリアンプ、8は時間情報を含むサブコード、13はアクセスデータ、14はCD信号処理回路、15はRAM、16はアドレス情報、17は出力データ、18は時間情報検出部、19はアドレス制御回路、20はオーバーフロー/アンダーフロー情報、21はシステム制御マイコン、22、23は間欠アクセス情報、24は読出し情報、42は読出しクロック、44は読出しクロック生成回路、45は読出しクロック生成回路、46は切替信号、61は書き込みアドレス生成用クロックである。

【0013】CDから再生されるデジタル信号には、オーディオデジタルデータのほかに、サブコード8が含まれている。このサブコード8では、図2に示すように、フレーム同期信号直後のエリアにP~Wの8チャンネルが割り当てられ、サブコード用同期信号S0、S1を含んで98フレームで完結する。サブコード8のうちのQチャンネルは、時間情報や制御信号が記録されている上に、高い信頼性で再生できるようにするために、誤り検出符号が付加されている。

【0014】図1において、モータ2によってディスク1を標準速(通常再生)時のN倍の速度で回転させ、ピックアップサーボ回路3で制御されるピックアップ4によってディスク1からデータが読み出される。この再生データはプリアンプ5を介してCD信号処理回路14に供給され、処理されて時間情報を含むサブコード8が付加されたオーディオデータが、アクセスデータ13として、標準速時の出力レートのN倍の出力レートで出力される。

【0015】CD信号処理回路14からは、また、再生データに同期した書き込みアドレス生成用クロック61とサブコード8が出力され、書き込みアドレス生成用クロック61はアクセスデータ13とともにアドレス制御回路19に、サブコード8はシステム制御マイコン21に夫々供給される。

【0016】かかるN倍の出力レートのアクセスデータ13は、アドレス制御回路19によって制御されるRAM15に書き込まれ、読み出される。このときのRAM15のアドレス情報16として、アドレス制御回路19により、書き込みアドレスがCD信号処理回路14からの書き込みアドレス生成用クロック61から生成され、また、読出しアドレスが標準速用の読出しクロック生成回路44からの読出しクロック42から生成される。従って、RAM15では、標準速のN倍速で書き込みが行なわれ、標準速(1倍速)の出力レートで読出しが行なわれる。

【0017】ここで、アドレス制御回路19とその周辺回路について説明する。

【0018】アドレス制御回路19では、RAM15の書き込みアドレス・読出しアドレスであるアドレス情報16が生成される。ディスク1が音声ディスクである場合、システム制御マイコン21はサブコード8から再生信号が音声データであると判断し、切替信号46により、標準速の読出しクロック生成回路44を選択して標準速の読出しクロックがアドレス制御回路19に供給されるようにする。アドレス制御回路19では、この標準速の読出しクロックに基づいて読出しアドレスが生成される。従って、CD信号処理回路14からN倍の出力レートで出力されてRAM15に書き込まれたアクセスデータ13は、このRAM15から標準速のレートで読み出される。

【0019】ところで、CD信号処理回路14はN倍速動作し、RAM15に書き込むタイミングは標準速のN倍の速度であるが、RAM15から音声データを読み出すタイミングが標準速（1倍速）であるため、そのままでは、RAM15から全データを読み出す前にRAM15がオーバーフローとなってしまう。そこで、時間情報検出部18を含むアドレス制御回路19とシステム制御マイコン21により、かかるオーバーフローを防止するための書き込み／読出し制御が行なわれる。

【0020】即ち、アドレス制御回路19の時間情報検出部18は、アクセスデータ13をもとに書き込み時の時間情報の検出を行ない、これとシステム制御マイコン21からのディスクの読出し情報24とを用いてRAM15での書き込み時の時間情報と読出し時の時間情報との時間差情報を検出し、この時間差情報の検出結果をもとにRAM15がオーバーフローしたか否か、アンダーフローしたか否かを監視する。そして、アドレス制御回路19は、RAM15がオーバーフローしたことを検出すると、RAM15への書き込みを禁止する書き込み情報41を出力してRAM15の書き込みを停止させ、オーバーフロー情報20をシステム制御マイコン21に供給する。システム制御マイコン21はこのオーバーフロー情報20と書き込み禁止時点での時間情報を用いて間欠アクセス情報22、23を生成し、これらを夫々ピックアップサーボ回路3とモータサーボ回路3'とに供給する。これにより、ピックアップサーボ回路3はピックアップ4をディスク1上の次につなぐデータ位置まで移動させる。

【0021】RAM15がアンダーフローしたことを検出すると、アドレス制御回路19はRAM15への書き込み禁止を解除する書き込み情報41を出力し、ディスク1への再アクセスのためのアンダーフロー情報20をシステム制御マイコン21に出力する。これにより、ピックアップ4はディスク1から次につなぐデータを読み取り、CD信号処理回路14を介してRAM15に再度書き込ませる。

【0022】このように、この実施例では、CD信号処理回路14から標準速のN倍の出力レートで出力されるアクセスデータ13を一旦RAM15に記憶し、読出しは標準速で行なうようにRAM15の書き込み／読出しを制御することにより、システムのN倍速動作速度と出力データの標準速出力速度との間の時間差を吸収でき、出力データを連続して再生することができる。

【0023】次に、図3により、図1におけるCD信号処理回路14について説明する。但し、図3において、6は復調回路、7は音声データ、9はデータバス、10はアドレス制御回路2、11はRAM、12は音声データ処理回路であり、図1に対応する部分には同一符号をつけて重複する説明を省略する。

【0024】図3において、プリアンプ5から供給される再生データは復調回路6で復調され、音声データ7と

サブコード8とに分離される。サブコード8はそのままCD信号処理回路14から出力される。

【0025】音声データ7は、ディスク1の回転むらによるジッタ吸収と音声データ処理回路12による誤り訂正処理及びデインターリーブ処理のために、アドレス制御回路10の制御のもと、データバス9を通してRAM11に書き込まれる。このとき、サブコード8もデータバス9を通してRAM11に書き込まれる。RAM11に書き込まれた音声データ7とサブコード8とは、アドレス制御回路10の制御のもとにRAM11から読み出され、音声データ7は、音声データ処理回路12で補間処理された後、サブコード8が付加され、アクセスデータ13としてCD信号処理回路14から出力される。

【0026】このときの図3でのアドレス制御回路10の動作を図4を用いて説明する。但し、同図において、25は書き込みアドレス生成回路、26は書き込みアドレス、27は読出しアドレス生成回路、28は読出しアドレス、29はアドレス監視回路、30はアドレス切替回路であり、図3に対応する部分には同一符号をつけて重複する説明を省略する。

【0027】RAM11に書き込むための書き込みアドレス26は再生データに同期した再生系のクロックから書き込みアドレス生成回路25によって生成され、RAM11から読み出すための読出しアドレス28は水晶発振器（図示せず）によるクロックから読出しアドレス生成回路27によって生成される。従来、サブコード8は、ディスク1での読取り位置に対応させるため、RAM11には書き込まれず、ディスク1の読取りタイミングで出力されていたが、この実施例では、音声データ7と同様に、サブコード8もデータバス9からRAM11に書き込まれ、読み出される。このとき、書き込みアドレス26と読出しアドレス28はアドレス切替回路30で切り替えられる。また、アドレス監視回路29によって±4フレームの間隔を保たれ、ディスク1の回転むらを吸収するようにしている。

【0028】こうしてCD信号処理回路14で得られたアクセスデータ13は、図3において、アドレス制御回路19に供給され、その時間情報検出部18で時間情報が検出されてRAM15の容量分書き込み、また、その書き込みを停止させる。また、この時間情報検出部18では、アクセスデータ13とディスクの読出し情報24をもとに各時間差情報が検出され、この時間差情報の検出結果をもとに、RAM15のオーバーフロー／アンダーフローを監視しながら、次につなぐデータのアドレスを検出し、ディスク1への再アクセスのためのオーバーフロー／アンダーフロー情報20をシステム制御マイコン21に出力する。

【0029】このときのアドレス制御回路19の動作を図5を用いて説明する。但し、同図において、31は時間情報検出回路、32は時間情報、33は書き込みアドレ

ス生成回路、34は時間情報検出回路、35は時間情報、36は読出しアドレス生成回路、37は差分検出回路、38は差分情報、39はオーバーフロー／アンダーフロー検出回路、40は書込み制御回路、41は書込み情報である。

【0030】時間情報検出部18では、時間情報検出回路31により、CD信号処理回路14から出力されるアクセスデータ13から時間情報が検出され、また、システム制御マイコン21からのディスクの読出し情報24をもとに読出しクロック42のレートで生成されるRAM15の読出しアドレスが読出しアドレス生成回路36で生成され、この読出しアドレスから音声出力時の時間情報35が時間情報検出回路34で検出される。時間情報検出回路31で検出された時間情報32は書込みアドレス生成回路33に供給され、書込みアドレス生成用クロック61のレートでRAM15の書込みアドレスが生成される。これら書込みアドレスと読出しアドレスとはアドレス切替回路30'で切り替えられ、アドレス情報16としてRAM15に供給される。

【0031】さらに、時間情報検出回路31で検出された時間情報32と時間情報検出回路34で生成された時間情報35との差分が差分検出回路37で検出され、RAM15の書込みアドレスと読出しアドレスの差分情報38としてオーバーフロー／アンダーフロー検出回路39に供給される。オーバーフロー／アンダーフロー検出回路39では、この差分情報38からRAM15のオーバーフロー／アンダーフローが検出され、RAM15のオーバーフロー／アンダーフロー情報20として、図3のシステム制御マイコン21に供給されるとともに、書込み制御回路40に供給され、RAM15がオーバーフローした場合にその書込みを禁止させるための書込み情報41を出力する。

【0032】このオーバーフロー／アンダーフロー情報20と書込み禁止時点での時間情報32とを用いて、システム制御マイコン21は間欠アクセス情報22、23を出力し、この間欠アクセス情報22に基づいてピックアップサーボ回路3はピックアップ4を次につなぐデータ位置まで移動させる。

【0033】また、オーバーフロー／アンダーフロー検出回路39で差分情報38からRAM15のアンダーフローが検出された場合には、書込み制御回路40は書込み禁止解除のための書込み情報41を出力し、また、ピックアップ4は次につなぐデータをディスク1から再生し、その再生データを上記のようにRAM15に再度書き込ませる。

【0034】このように、この実施例では、CD信号処理回路14から出力される音声データに時間情報が付加されているので、データのつなぎ点を正確に検出することができ、また、RAM15で時間差吸収を行なうため、出力データは連続に再生されることになる。

【0035】図6はCD-ROMの再生装置としての本発明による出力レート変換機能付きディスク再生装置の他の実施例を示すブロック図であって、43はCD-ROM信号処理回路であり、図1、図3に対応する部分には同一符号をつけて重複する説明を省略する。

【0036】この実施例は、CD-ROMのデータベースとしての利用価値を踏まえ、データを取り扱う場合には、2倍速でデータを出力可能に構成している。一方、この実施例で音楽データを記録したCDを再生する場合には、信号処理部は2倍速動作を行ない、出力データは標準速で得られるようにしている。また、CD-ROMはデータをセクタ単位で管理するシステムであり、1セクタは98フレームで構成される。そこで、CD-ROMでCDを標準再生するためには、CDの再生データに対してセクタ番号に類する信号を付加する必要がある。

【0037】以下、図6に示す実施例の動作を図7を用いて説明する。

【0038】ディスク1がCD-ROMとしてのデータディスクである場合、システム制御マイコン21はCD信号処理回路14からのサブコード8によって再生信号がデータディスク1からのデータであると判断し、切替信号46によって2倍速用の読出しクロック生成回路45からの読出しクロック42を選択して、図7(a)に示すように、RAM17から2倍速で出力データ17が得られるようにする。

【0039】また、ディスク1がCDとしての音声ディスクである場合には、システム制御マイコン21はサブコード8によって再生信号が音声データであると判断して、切替信号46により、標準速用の読出しクロック生成回路44からの読出しクロック42を選択し、図7(b)に示すように、RAM15から標準速で出力データ17が得られるようにする。CD-ROMの信号処理システムは2倍速動作をしており、RAM15にアクセスデータ13を書き込むタイミングは標準速度の2倍である。これに対し、RAM15からデータを読み出すタイミングは標準速であり、そのままでは、全データを読み出す前にRAM15がオーバーフローになってしまうが、この実施例では、音声データ7に時間情報を含む98フレーム単位のサブコード8を付加してCD信号処理回路14から出力するため、セクタ単位のデータ管理が可能となり、正確なつなぎ点を検出して時間差の検出を行ない、RAM15でシステムの2倍速動作速度と出力データ17の標準速出力速度の時間差を吸収する。

【0040】このように、この実施例では、アクセスデータ13には98フレーム単位のサブコードが付加されているため、アクセスデータ13をRAM15に書き込み、CD-ROM信号処理回路43のアドレス制御回路19で出力データ17とアクセスデータ13の時間差を検出し、RAM15のオーバーフロー／アンダーフローを計って間欠アクセス情報22、23を送り、再度時間

検出を行なって正しいつなぎ点を検出することにより、外部RAMへの書き込み速度を標準速のN倍として読出し速度は標準速度とするようなCD-ROMシステムに対応可能となり、回路の共通化を図れる。

【0041】また、この実施例では、データを5分の1に圧縮して記録したミニディスク(MD)システムにも対応可能である。

【0042】図8は図1、図3、図6での時間情報検出回路18の一具体例を示すブロック図であって、24'はアドレス設定用クロック、24"はアドレスロード信号、47はシフトレジスタ、48は情報データラッチ回路、49は誤り検出回路、50は誤り検出結果、51はQコードレジスタ、52は時間情報、53はBCDカウンタ、54はカウンタ値、55は設定アドレスレジスタ、56はBCDカウンタ、57はカウンタ値、58は一致検出回路、59は一致検出結果、60は針飛び検出回路である。

【0043】まず、この具体例の動作を、4倍速動作を例とし、かつ針飛びがないものとして、図9を用いて説明する。

【0044】システム制御マイコン21からの設定値nが設定アドレスレジスタ55に取り込まれ、BCDカウンタ56にロードされる。これと同時に、書き込みアドレスカウンタ33と読出しアドレスカウンタ36とがリセットされる。

【0045】サブコード8を用いて、CDの再生データに対してセクタ番号に類する信号を付加したアクセスデータ13はシフトレジスタ47に取り込まれ、さらに、その情報データは情報データラッチ回路48に、サブコード8のうちのQコードはQコードレジスタ51に、誤り検出符号は誤り検出回路49に夫々取り込まれる。そして、誤り検出回路49からの誤り検出結果50が「誤りなし」を表わしていれば、Qコードレジスタ51に取り込まれたBCDコードの時間情報52がBCDカウンタ53にロードされ、誤り検出結果50が「誤りあり」を表わしていれば、BCDカウンタ53は現在の値に1だけカウントアップする。

【0046】BCDカウンタ53のカウント値54とBCDカウンタ56の上記設定値nのカウント値57とは一致検出回路58で比較され、上記の動作によってBCDカウンタ53のカウント値54が順次変化して遂にこの設定値nに一致すると、一致検出回路58の一致検出結果59がこれを表わし、データ再生位置がシステム制御マイコン21で設定した設定値nの目標位置に達したことになる。この一致検出結果59により、BCDカウンタ56とRAM15への書き込みアドレスを生成する書き込みアドレス生成回路33とが動作を開始し、夫々Qコードレジスタ51のQコードの取込みに同期したタイミングで1ずつカウントアップしていく。

【0047】また、読出しアドレスカウンタ36もこれ

と同時に動作を開始し、書き込みクロック42に同期して読出しアドレスを生成する。

【0048】RAM15への書き込みアドレスと読出しアドレスは、BCDではなく、2進数で生成されるため、BCDコードである時間情報52をもとに生成しても、RAM15のアドレスを有効に使える。

【0049】書き込みアドレス生成回路33からの書き込みアドレスと読出しアドレスカウンタ36読出しアドレスは差分検出器37に供給され、これらの差分を示す差分情報38が得られる。この差分情報38はオーバーフロー／アンダーフロー検出回路39に供給され、RAM15の記憶データがオーバーフローするか、アンダーフローするかが検出される。オーバーフローの場合には、オーバーフロー／アンダーフロー検出回路39からポーズスタート信号が出力されてRAM15への書き込みが停止され、その後アンダーフローが検出されると、ポーズ解除信号が出力されてRAM15の再度書き込みを開始させる。

【0050】ここで、図9は、説明を簡略化するために、RAM15に容量を5アドレスの容量としている。従って、書き込みアドレスカウンタ33も読出しアドレスカウンタ36の0から4までのカウントを繰り返す。

【0051】そこで、RAM15では、4個の情報データが書き込まれる間に1個の情報データが読み出されるのであるから、n番目～(n+3)番目の入力情報データがアドレス0～3に順に書き込まれる期間にアドレス1のn番目の情報データが読み出され、次に、(n+1)番目の情報データが読み出されるときに、まず、

(n+4)番目の入力情報データがアドレス4に書き込まれ、次に、(n+5)番目の入力情報データがアドレス0に書き込まれようとする。しかし、ここで、書き込みアドレスと読出しアドレスとの差(W-R)がRAM15でのアドレス数(容量)よりも1だけ小さい値以上のとき、オーバーフローとすると、上記の(n+5)番目の入力情報データの書き込みはオーバーフローすることになる。このため、オーバーフロー／アンダーフロー検出回路39からポーズスタート信号が出力されてRAM15への書き込みが停止され、これとともに、BCDカウンタ56や書き込みアドレスカウンタ33のカウント動作を停止させてそのときのカウント値をそのまま保持させる。これにより、BCDカウンタ56は値(n+5)のカウント値57をそのまま保持し、書き込みアドレスカウンタ33は値0のアドレス値をそのまま保持する。但し、RAM15の読出しはそのまま続けられる。

【0052】システム制御マイコン21はこのポーズスタート信号をオーバーフロー情報20として取り込み、上記のように、これと書き込み禁止時点での時間情報を用いて間欠アクセス情報22、23を生成し、これらを夫々ピックアップサーボ回路3とモータサーボ回路3'とに供給する。これにより、ピックアップサーボ回路3は

ピックアップ4をディスク1上の次につなぐデータ位置まで移動させる。

【0053】そして、この間RAM15の読出しが行なわれていることにより、RAM15がアンダーフローすると、オーバーフロー／アンダーフロー検出回路39からポーズ解除信号が出力されてRAM15への書込み停止が解除される。ここで、書込みアドレスと読出しアドレスとの差(W-R)がディスク1の1周分のセクタ数以下となったときアンダーフローしたとし、かつディスク1の1周に2セクタ記録されるものとする、(W-R)が2以下のときアンダーフローしたことになる。

【0054】そこで、上記のように、書込みアドレスカウンタ33からの書込みアドレスWは0に固定されているから、読出しアドレスカウンタ36からの読出しアドレスRが3になると、書込みアドレスはこれより進んだ5に相当するから、オーバーフロー／アンダーフロー検出回路39はRAM15がアンダーフローしたと判断し、ポーズ解除信号を発生してRAM15の書込みを開始させる。この書込みが開始しても書込みアドレスカウンタ33からの書込みアドレスWは0に固定されており、また、BCDカウンタ56のカウント値は上記の(N+5)に固定されている。そして、ディスク1から(n+5)番目のデータが再生されると、BCDカウンタ53、56のカウント値が(n+1)と一致し、一致検出回路58から一致検出結果59が出力されてBCDカウンタ56、書込みアドレスカウンタ33が動作を再開する。従って、RAM15には、アドレス0から(n+5)番目、(n+6)、……の順に次のオーバーフローが生ずるまでデータが書き込まれる。

【0055】このようにして、書込み動作を止めた次のデータから確実に書込み動作が再開される。

【0056】次に、この具体例の動作を、同じく4倍速動作を例とし、かつ振動による針飛びなどがあるものとして、図10を用いて説明する。ここでは、(n+9)番目のデータが再生されてから針飛びが生じ、次に(m)番目のデータが再生されたものとする。

【0057】針飛び検出回路60は、誤り検出結果50から再生データに誤りがなく、かつ時間情報52、54の間に所定の差(例えば1)がないと、針飛びなどによって再生データに不連続が生じたと判断し、上記のオーバーフローの場合と同様に、BCDカウンタ56と書込みアドレスカウンタ33の動作を停止させ、(n+10)番目のデータのアクセスを行なわせる。そして、(n+10)番目のデータが再生されると、一致検出回路58の一致検出結果59により、RAM15の書込みが再開される。

【0058】このように、この実施例では、BCDコードの時間情報であるサブコードのQコードを用いても、RAM15のアドレス生成は2進数で行ない、RAM15を有効に用いて4倍速動作時の標準速再生に対応可能

である。また、振動等による針飛びが発生しても、正確にデータをつないで連続した再生をすることが可能である。

【0059】また、図1及び図3で示した音声データとサブコードの処理を一对一に対応させたCD信号処理回路14を1つの集積回路とすると、音声再生専用では、図1及び図3のアドレイ制御回路19を別の集積回路として組み合わせて構成し、また、CD-ROMでROMデータと音声データを処理する場合には、図6のCD-ROM信号処理回路43を別の集積回路として組み合わせて構成することにより、各システムに展開することができる。

【0060】このように、この実施例では、音声データと時間情報を一对一に対応させる集積回路と、その対応したデータと時間情報を用いて記憶する集積回路とを別にするものであり、CD再生の実施例に限定されるものではない。

【0061】なお、以上の実施例に示した数値は一例であって、本発明はこれに限定されるものではない。

【0062】

【発明の効果】以上説明したように、本発明によれば、トラック飛び等の原因による間欠アクセスを行った場合でも、信号処理部から出力されるデータに時間情報が付加されているのでデータのつなぎ点を正確に検出でき、出力データは、不連続となることなく、連続に再生することができる。

【0063】また、データを一旦外部RAMに書き込んでから読み出し、書込みデータと読出しデータとの時間差を検出し、RAMのオーバーフローを検出してRAMへの書込みを禁止し、正しいデータのつなぎ点を検出してピックアップを移動し、アンダーフローを検出すると、RAMへの書込み禁止を解除して書込みを再開する間欠アクセスを行ない、RAMへの書込みが標準速度のN倍で読出しが標準速度であるような場合でも、出力データは、不連続となることなく、連続に再生することができる。

【0064】さらに、BCDコードの時間情報を用いても、外部RAMへの書込みアドレスは2進数で生成するため、RAMアドレスを全て生成して有効に使用することができる。

【0065】さらにまた、データ処理用の集積回路と、外部RAMへの書込み／読出し制御用の集積回路を別にすることにより、CD再生に限らず、CD-ROMやMD等にもシステム展開が可能になる。

【図面の簡単な説明】

【図1】本発明による出力レート変換機能付きディスク再生装置の一実施例を示すブロック図である。

【図2】CDのサブコードフォーマットを示す図である。

【図3】図1におけるCD信号処理回路の内部構成を示す

したブロック図である。

【図4】図3でのCD信号処理回路のアドレス制御回路を示すブロック図である。

【図5】図1におけるアドレス制御回路を示すブロック図である。

【図6】本発明によるCD-ROM対応の出力レート変換機能付きディスク再生装置の他の実施例を示すブロック図である。

【図7】図6に示す実施例の動作を示すタイミングチャートである。

【図8】図1、図3、図5及び図6における時間情報検出回路の一具体例を示すブロック図である。

【図9】図8に示した具体例の針飛びなしの場合の4倍速動作時の標準再生タイミングを示すタイミングチャートである。

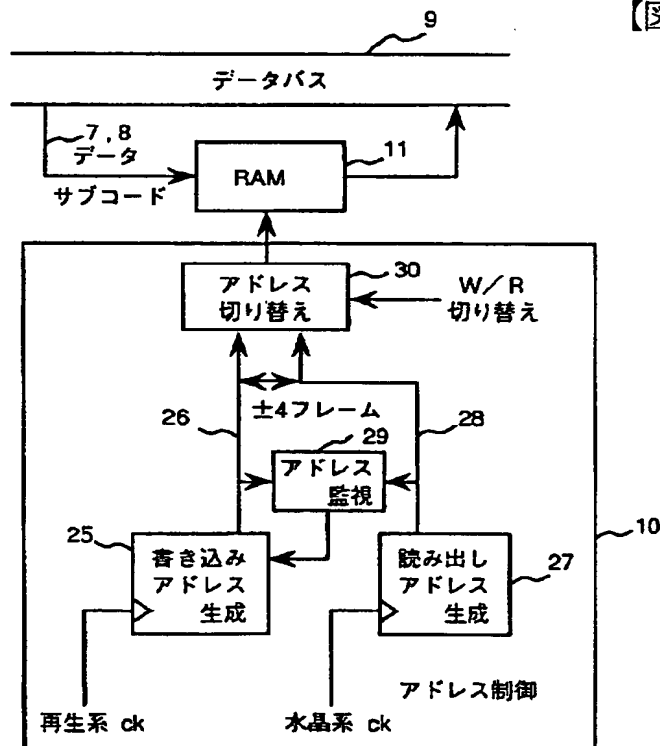
【図10】図8に示した具体例の針飛びなどがある場合の4倍速動作時の標準再生タイミングを示すタイミングチャートである。

【符号の説明】

- 1 ディスク
- 4 ピックアップ
- 6 復調回路

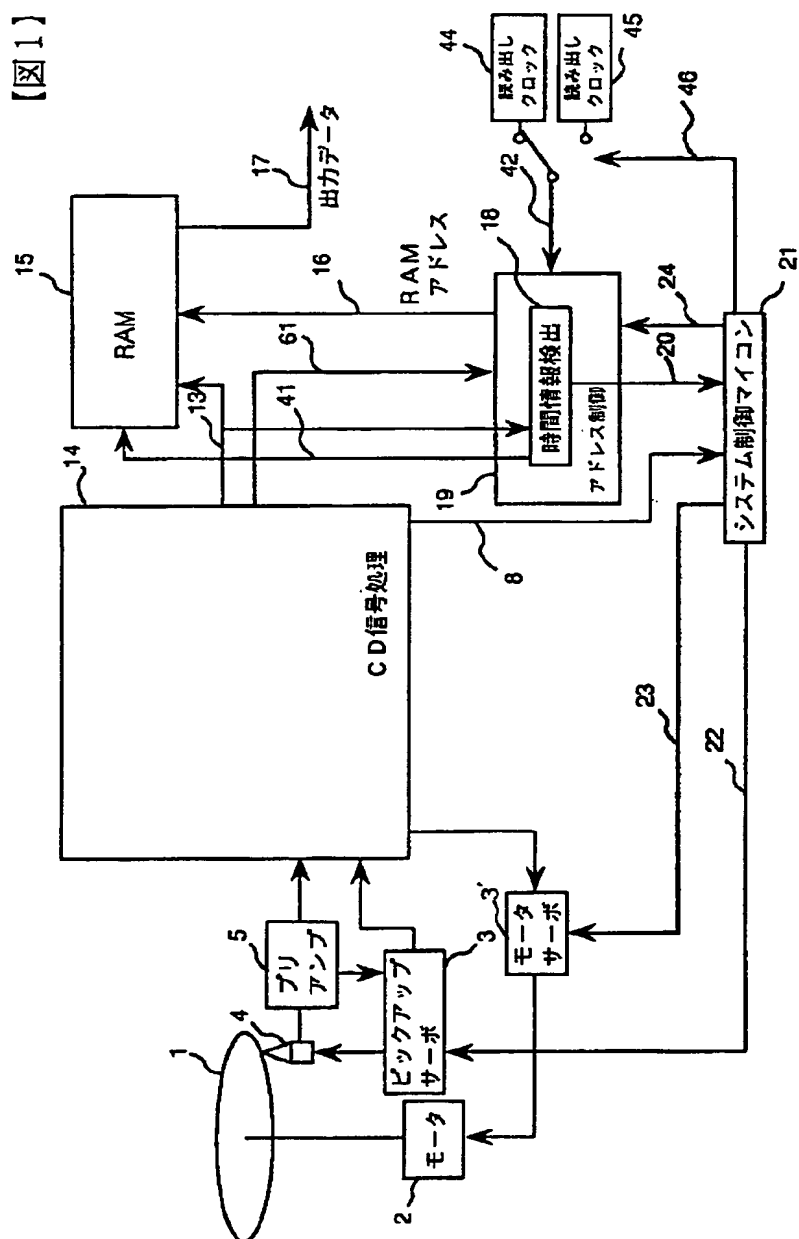
- 8 サブコード
- 10 アドレス制御回路
- 11 RAM
- 13 アクセスデータ
- 14 CD信号処理回路
- 15 RAM
- 16 アドレス情報
- 17 出力データ
- 18 時間情報検出部
- 19 制御回路
- 20 オーバーフロー／アンダーフロー情報
- 21 システム制御マイコン
- 22、23 間欠アクセス情報
- 24 ディスクの読出し情報
- 39 オーバーフロー／アンダーフロー検出回路
- 40 書込み制御回路
- 41 書込み情報
- 42 読出しクロック
- 44 標準速読出しクロック生成回路
- 45 2倍速読出しクロック生成回路
- 53、56 BCDカウンタ
- 61 書込みアドレス生成用クロック

【図4】

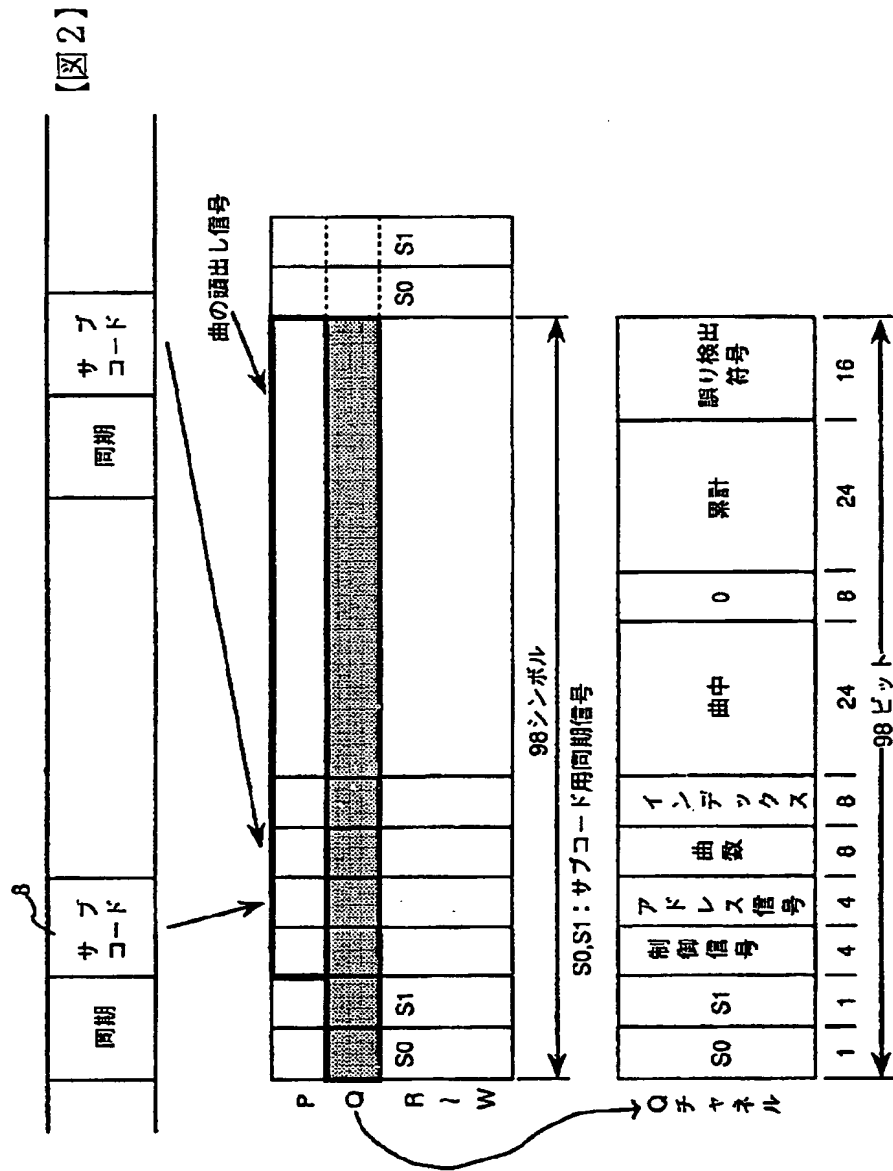


【図4】

【一】

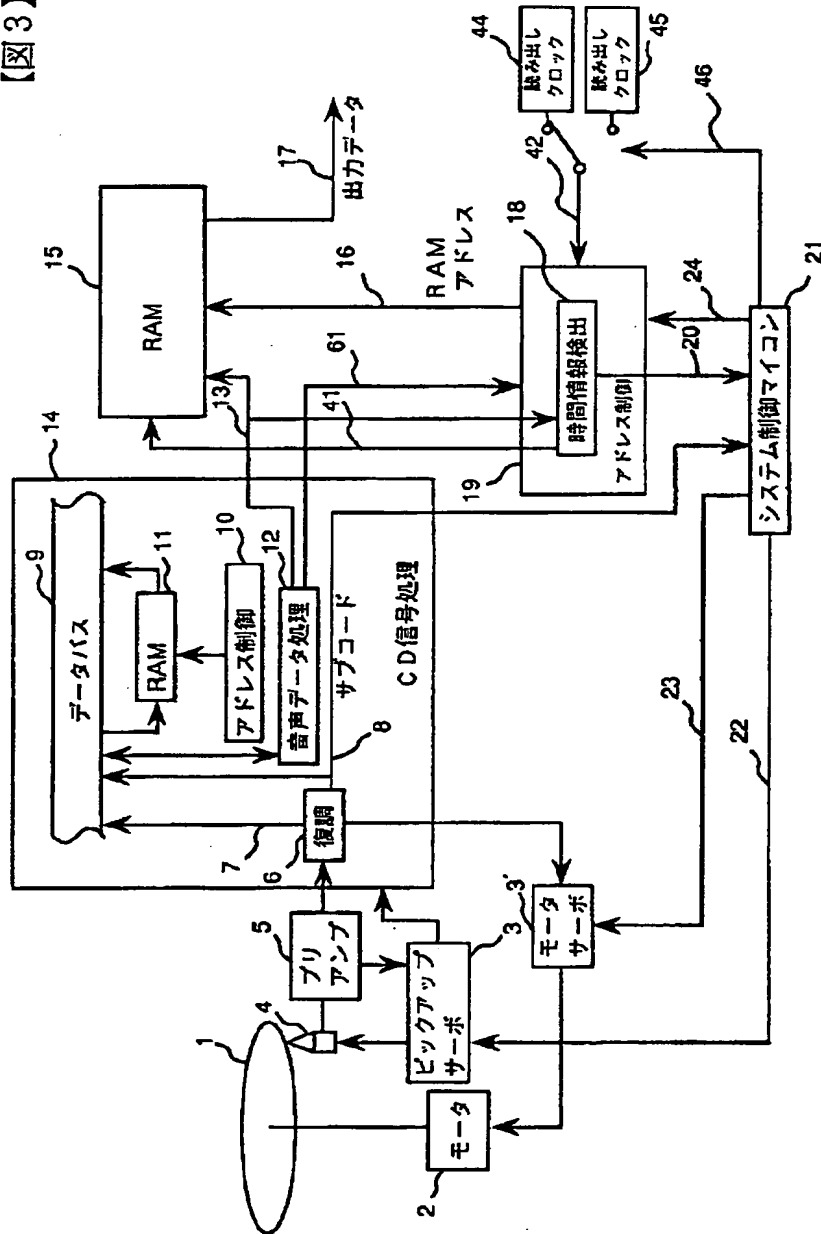


【図2】

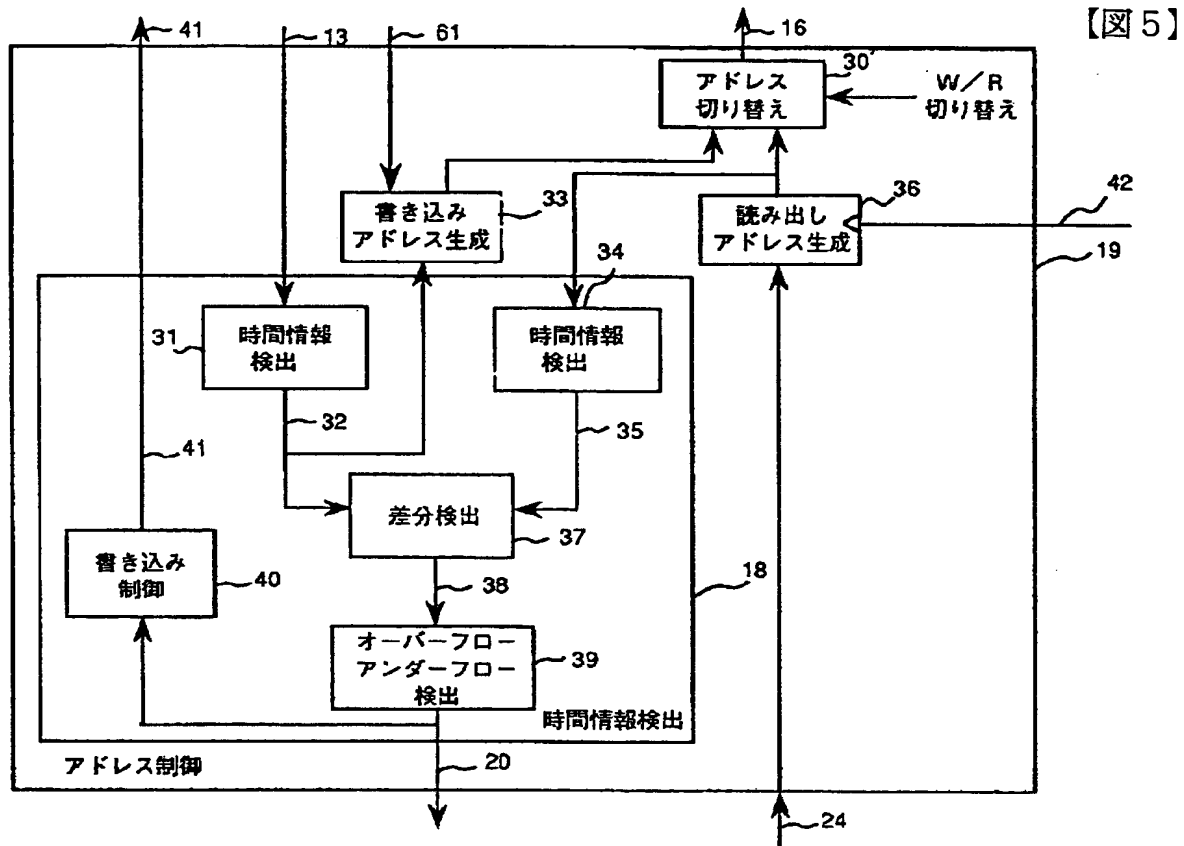


【図3】

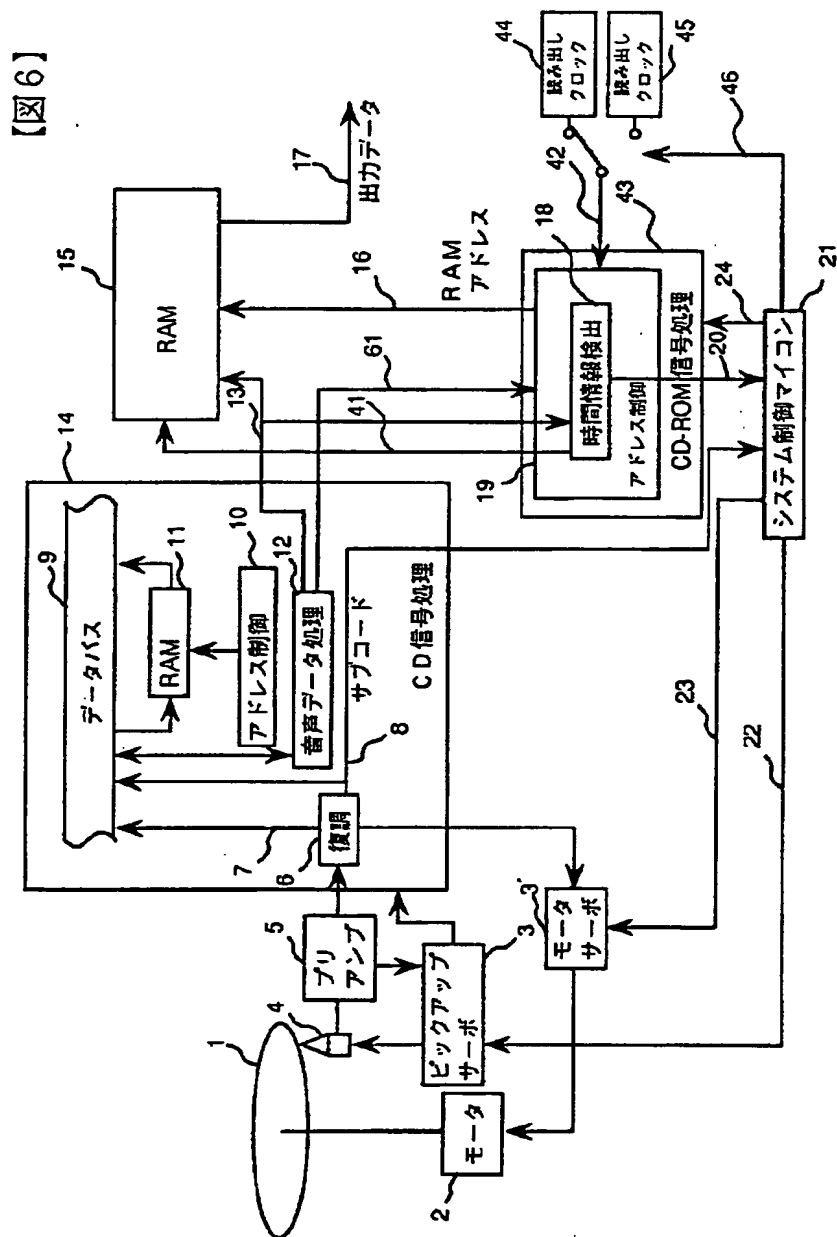
【図3】



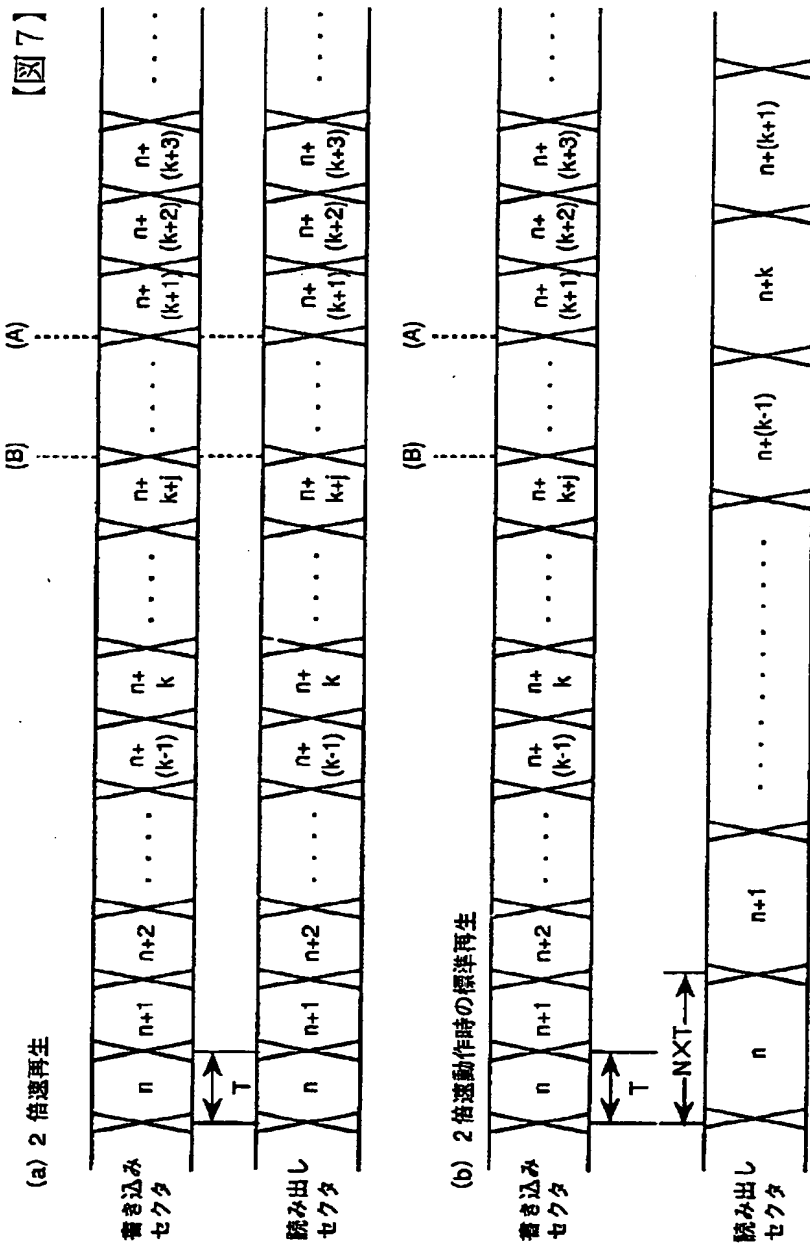
【図5】



【図6】



【図7】

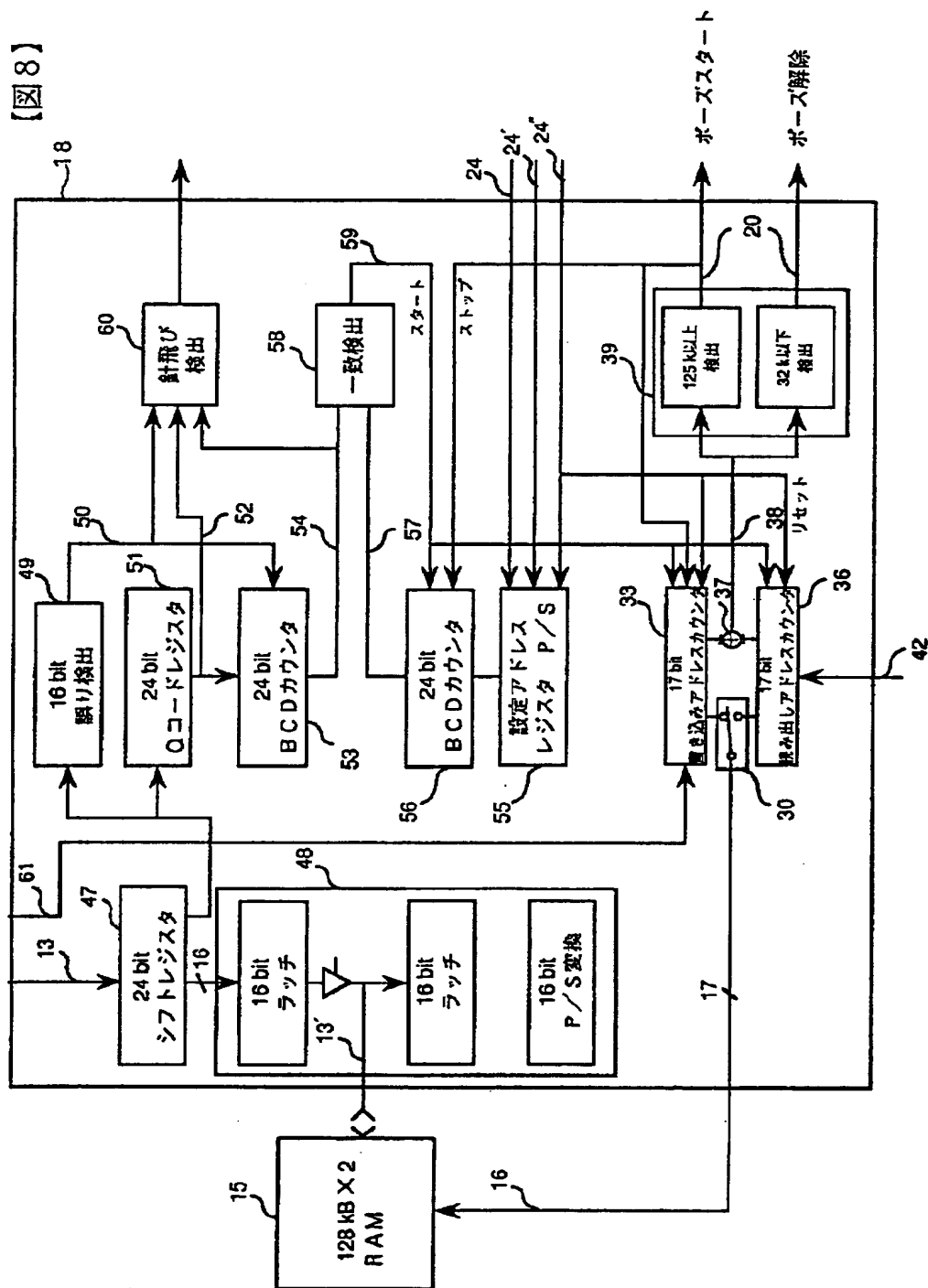


(A) の時以前で第一の記憶手段へ一番最後に記憶したデータを $n+k$ とする。

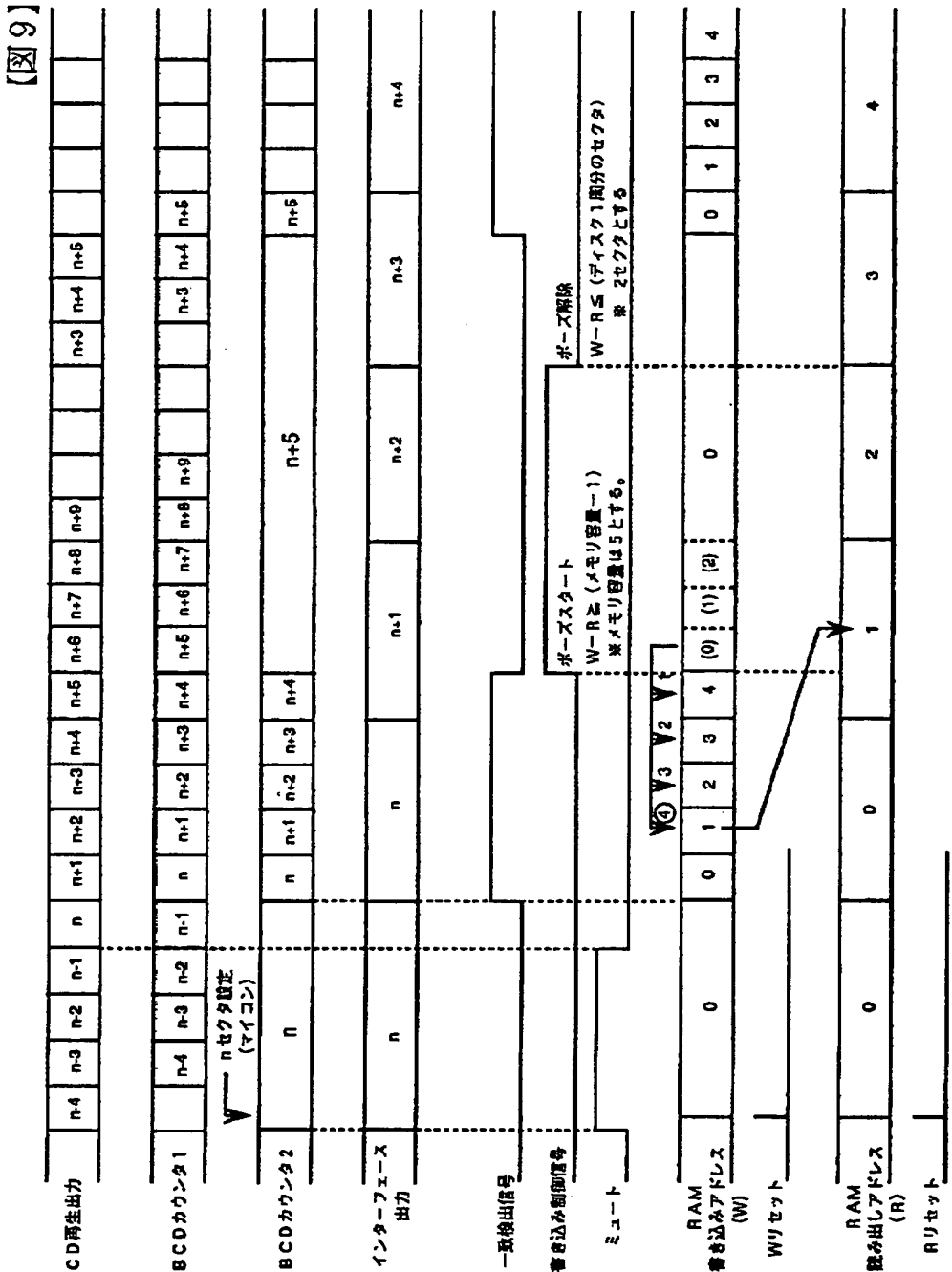
j : 零以上の整数

(A)~(B) の間の他の期間セクタは周期 T につき 1 ずつ増大

【図8】



【図9】



【図10】

The diagram illustrates a digital logic circuit for data processing and control. It consists of several main components and their interconnections:

- CD再生出力 (CD Playback Output):** A register with 10 bits, labeled $n-4$ to n .
- BCDカウンタ1 (BCD Counter 1):** A counter with 10 bits, labeled $n-4$ to n .
- BCDカウンタ2 (BCD Counter 2):** A counter with 10 bits, labeled n to $n+10$.
- インターフェース出力 (Interface Output):** A register with 10 bits, labeled n to $n+4$.
- 一致検出信号 (Coincidence Detection Signal):** A single-bit output signal.
- 書き込み制御信号 (Write Control Signal):** A signal that controls the write operation, labeled "書き込み制御信号" and "ボーズスタート 目標セクタ ($n+10$) 出力 (マイコンへ)".
- ミュート (Mute):** A signal that controls the mute function, labeled "ミュート" and "ボーズスタート 目標セクタ ($n+10$) 出力 (マイコンへ)".
- RAM書き込みアドレス (RAM Write Address):** A 10-bit address register, labeled 0 to 9 .
- WRリセット (WR Reset):** A reset signal for the write RAM.
- RAM読み出しアドレス (RAM Read Address):** A 10-bit address register, labeled 0 to 9 .
- RRリセット (RR Reset):** A reset signal for the read RAM.

The diagram also shows various internal signals and data paths, including a "V" symbol indicating a specific state or output, and a "一致検出信号" (Coincidence Detection Signal) block.

東京都小平市上水平町5丁目20番1号 株
式会社日立製作所半導体設計開発センタ内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275019

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

G11B 20/10

(21)Application number : 05-212894

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.08.1993

(72)Inventor : KIMURA IZUMI
NISHIOKA MUNEHIRO
TAKEUCHI TOSHIFUMI
TADOKORO HIROSHI

(30)Priority

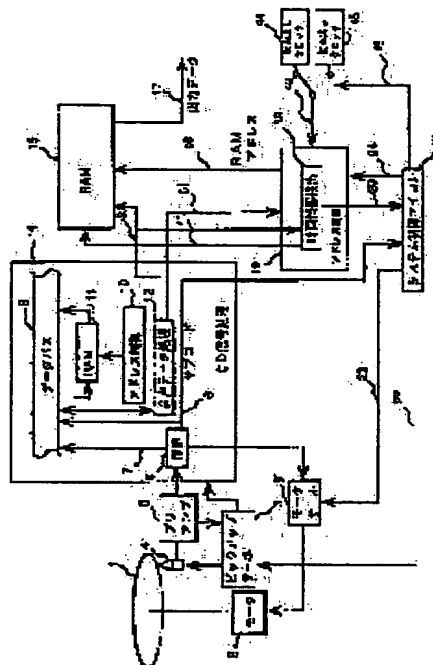
Priority number : 05 8138 Priority date : 21.01.1993 Priority country : JP

(54) OUTPUT RATE CONVERSION FUNCTION INCORPORATED DISK REPRODUCING DEVICE AND ITS INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To facilitate a counter measure against an intermittent access caused by a track jump in a conventional CD reproducing system and to accommodate a standard speed reproducing during an N time speed operation.

CONSTITUTION: A memory 11, which writes the data reproduced from a disk 1 with time information, and an additional external memory 15 are provided. The timing difference between data 17 which are lastly outputted and data 13 which are being accessed is detected by a timing information detecting circuit 18 of an address control circuit 19 so as to detect an overflow and a underflow of the memory 15. Based on the detection results, the writing of the memory 15 is controlled, the timing difference between a system operation speed and a data output speed is absorbed even though an intermittent access is executed by controlling a pickup 4 so as to obtain the data 17 which are correctly connected and continuous at the output.



LEGAL STATUS

[Date of request for examination] 30.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3080519

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office